

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-041538

(43)Date of publication of application : 22.02.1991

(51)Int.CI. 606F 12/16

(21)Application number : 01-175541

(71)Applicant : NEC CORP  
NEC GUMMA LTD

(22)Date of filing : 10.07.1989

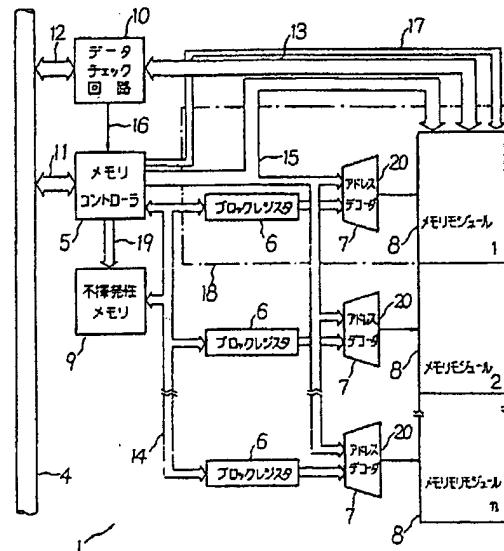
(72)Inventor : OKUGAWA SHINICHI  
SUGIMOTO SHIGENOBU

## (54) MAIN STORAGE DEVICE

### (57)Abstract:

PURPOSE: To effectively utilize the whole capacity of a main storage device by invalidating a valid flag in a block including the failure point at the time of detecting a data error.

CONSTITUTION: A main storage area in the main storage device 1 is divided into blocks in each physical unit, and in each memory block 18, a block address corresponding to a physical address 15 and a valid flag indicating the validity of the memory block 18 are included in a block register 6 as memory block information. An error in data read out from the memory block 18 is detected, the valid flag in the memory block 18 generating the data error is reset and the memory error is transmitted to a CPU. Then the valid flag and block address of the block register 6 are written in or read out from a non-volatile memory 9. Thus, the memory block 18 generating the data error detected during the memory block diagnostics and normal operation of the main storage device 1 is automatically removed by hardware. Consequently, the reduction of memory capacity can be suppressed to a minimum.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平3-41538

⑫ Int. Cl. 5

G 06 F 12/16

識別記号

310 Q

庁内整理番号

7737-5B

⑬ 公開 平成3年(1991)2月22日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 主記憶装置

⑮ 特願 平1-175541

⑯ 出願 平1(1989)7月10日

⑰ 発明者 奥川 伸一

東京都港区芝5丁目33番1号 日本電気株式会社内

⑰ 発明者 杉本 繁伸

群馬県太田市大字西矢島32番地 群馬日本電気株式会社内

⑰ 出願人 日本電気株式会社

東京都港区芝5丁目7番1号

⑰ 出願人 群馬日本電気株式会社

群馬県太田市大字西矢島32番地

⑰ 代理人 弁理士 芦田 坦

外2名

明細書

1. 発明の名称

主記憶装置

2. 特許請求の範囲

1. 中央処理装置に接続された主記憶装置において、

物理的に分割された複数のブロックから成る記憶部と、

各ブロック毎にブロックアドレスとバリッドフラグとを格納するレジスタと、

不揮発性メモリと、

前記中央処理装置から該レジスタ及び前記不揮発性メモリの書き込み、読み出しを行なう手段と、

前記記憶部から読み出したデータの誤りを検出する手段と、

前記主記憶部ブロックのうち最大のブロックアドレスを識別する手段とを有し、

前記記憶部から読み出したデータに誤りが検出さ

れた場合、検出されたブロックのバリッドフラグを無効化し、バリッドフラグの有効な最大ブロックレジスタを前記誤りの発生したブロックのアドレスに書き換え、各ブロック毎のブロックアドレス及びバリッドフラグの内容を前記不揮発性メモリに書き込み、システムの電源再投入による起動時に、前記不揮発性メモリよりブロックレジスタ情報としてバリッドフラグとブロックアドレスを読み出し、各ブロックのレジスタにセットし、主記憶領域の配置を行ない、故障箇所の存在するメモリブロックを自動的に排除することを特徴とする主記憶装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は情報処理装置の主記憶装置に関し、特に主記憶装置の診断によって明らかとなった主記憶領域の故障箇所及びシステム動作中に発生した主記憶装置の故障箇所の排除に関する。

【従来の技術】

従来、この種の主記憶装置の再配置は、OS等のソフトウェアにより、主記憶診断時にメモリエラーの発生したアドレス以降のメモリ領域をアクセスしないように制限をするか、ハードウェアの交換を実施するかのいずれかの方法で行なわれている。

【発明が解決しようとする課題】

上述した従来のOS等のソフトウェアにより故障箇所の存在するアドレス以降の主記憶領域を切り捨てる方法による主記憶の再配置は、故障箇所のアドレスにより、正常な主記憶領域が著しく小さくなる場合があり、主記憶装置の全容量を効率的に利用できないという欠点がある。また、ハードウェアを交換する方法では、システムの復旧までに長時間を要するという欠点がある。

【課題を解決するための手段】

本発明による主記憶装置は、主記憶容量を物理的な単位でブロック化し、各ブロックに対応するブロックアドレスとバリッドフラグとを格納するレジスタと、記憶部から読み出したデータの誤りを

主記憶装置1は、システムバス4からアクセスコマンド及びアクセスアドレス11を受信し、メモリブロック18の制御を行なうメモリコントローラ5と、メモリコントローラ5からブロックレジスタ制御信号14により読み出し書き込みができるブロックアドレス及びバリッドフラグを格納するブロックレジスタ6と、メモリコントローラ5より出力されたアドレス15とブロックレジスタ6のブロックアドレスとを比較し、該当するメモリモジュール8を選択するアドレスデコーダ7と、システムバス4とメモリモジュール8との間ににおいてデータのチェックをし、誤りを検出したならばメモリコントローラ5へエラー信号16を出力するデータチェック回路10と、各ブロックレジスタ6の内容を記憶し、電源切断後もデータを保持する不揮発性メモリ9とを有する。

第1に、本発明による主記憶装置1を含むシステムの初期化は、以下のように行なわれる。電源投入後、中央処理装置2は、メモリコントローラ5を介し、全てのブロックレジスタ6のバリッド

検出する手段と、主記憶装置の正常性診断時及び通常動作中にデータの誤りが検出された場合、故障箇所を含むブロックのバリッドフラグを無効化することにより、ブロックへのアクセスを禁止し、バリッドフラグの有効な最大ブロックのブロックアドレスを書き換える手段と、ブロックレジスタ毎のバリッドフラグ及びブロックアドレスをデータとして不揮発性メモリに格納し、再電源投入時に前記不揮発性メモリから読み出したバリッドフラグ及びブロックアドレスを各ブロックのレジスタへ書込む手段とを有している。

【実施例】

次に本発明について図面を参照して説明する。第2図は、本発明による主記憶装置を含む情報処理システムを示すブロック図である。

本発明による主記憶装置1は、中央処理装置(CPU)2と、複数のダイレクトメモリアクセス制御装置3とからアクセスされる。

第1図は本発明の一実施例による主記憶装置1の内部構造を示すブロック図である。

フラグをセットし、各メモリブロック18のバリッドフラグをサーチして、主記憶領域が連続したアドレスとなるように全ブロックレジスタ6内のブロックアドレスを書込む。

次に、中央処理装置2より、全主記憶領域のメモリモジュール8の書き込み、読み出しによる診断を行なう。診断中にデータチェック回路10によって検証したデータに誤りが検出された場合、データチェック回路10は、メモリコントローラ5にメモリエラー信号16を送出する。メモリエラー信号16を受けたメモリコントローラ5は、システムバス4を介し中央処理装置2へデータエラーの発生を送出する。

一方、データエラーの発生を検出した中央処理装置は、直ちに主記憶の診断を中断し、メモリコントローラ5を介してメモリエラーの発生したアドレスに対応するメモリブロック18のバリッドフラグをリセットし、バリッドフラグが有効である。最大ブロックアドレスを持つブロックレジスタ6のブロックアドレスを前記メモリエラーの発

生したアドレスに書き換え、当該メモリブロックの先頭から診断を再開する。

主記憶装置1の診断が終了した後、全メモリブロックのブロックレジスタ6のバリッドフラグ及びブロックアドレスをメモリコントローラを介し、中央処理装置2により不揮発性メモリ9に格納する。

第2に、本発明による主記憶装置1を含むシステムにおいて、初期化後の電源投入によるシステムの起動について説明する。各メモリブロックのレジスタ6は、メモリコントローラ5を介し、中央処理装置2によって、前記不揮発性メモリ9から読み出されたバリッドフラグとブロックアドレスが書き込まれる。全てのブロックレジスタ6への書き込み終了後、前述の主記憶診断を実施し、同様の処理を行う。

また、通常動作中にメモリエラーが発生した場合は、前述したように最大ブロックアドレスをもつメモリブロックのブロックアドレスをメモリエラーの発生したブロックアドレスに書き換え、全

ブロックレジスタ6の内容を不揮発性メモリ9に格納し、次回のシステムの起動時に、メモリーエラーの発生するメモリブロックを削除する。

以上の説明を簡単な例題で示す。第3図、第4図は、5つのメモリブロックで構成された主記憶装置に対する本発明の適用例を説明するための図である。

電源立ち上げ後、主記憶装置の初期状態は、第3図に示すように、全てのメモリブロックのバリッドフラグ21はセットされ、ブロックアドレス22は、シーケンシャルに設定されている。

この装置の主記憶診断中あるいは通常動作中に、メモリブロックbにおいてメモリーエラーが発生したとしよう。この場合、前述したブロックレジスタの制御を行ない、第4図の様に、メモリブロックbのバリッドフラグが無効化され、メモリブロックbのブロックアドレスにメモリブロックbと同一のアドレスが書き込まれ、4つのメモリブロックとして不揮発性メモリに記憶され、次回システム起動時の初期設定となる。

#### 【発明の効果】

以上説明したように本発明は、主記憶装置の主記憶領域を物理的な単位でブロック化し、各メモリブロックに物理アドレスと対応するブロックアドレスとメモリブロックの有効性を示すバリッドフラグとメモリブロック情報としてブロックレジスタ内に有し、メモリブロックから読み出したデータの誤りを検出し、データ誤りの発生したメモリブロックのバリッドフラグをリセットし、且つメモリエラーを中央処理装置へ伝達する手段と、ブロックレジスタのバリッドフラグの有効性を判断し、中央処理装置によりブロックレジスタのバリッドフラグ及びブロックアドレスを書き換える手段と、不揮発性メモリにブロックレジスタのバリッドフラグとブロックアドレスとを書き込み、読み出しへ手段とを有することにより、主記憶装置のメモリモジュール診断中及び通常動作中に検出されたデータの誤りを生じるメモリブロックをハードウェアにより自動的に削除するため、システムの復旧が容易であり、且つ、OS等で実施する

主記憶領域の縮退と比較し、システムの処理能力を低下させることなく、メモリ容量低下を最小限にとどめることが可能である。

#### 4. 図面の簡単な説明

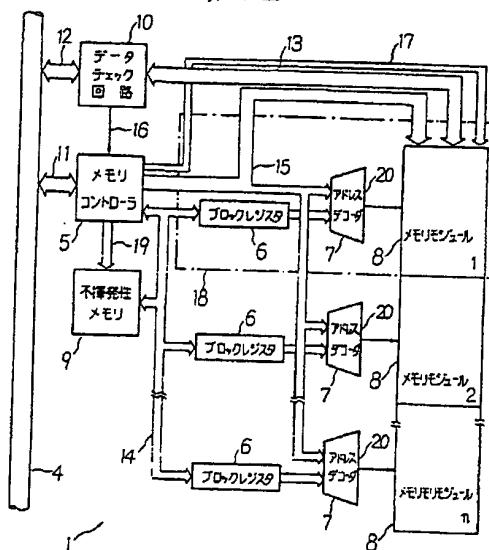
第1図は第2図の主記憶装置1の内部構成を示すブロック図、第2図は本発明の一実施例による主記憶装置を用いたシステムを示すブロック図、第3図は主記憶装置のブロックレジスタ初期状態例を示す図、第4図は第3図のメモリブロック縮退例を示す図である。

1…主記憶装置、2…中央処理装置、3…ダイレクトメモリアクセス制御装置、4…システムバス、5…メモリコントローラ、6…ブロックレジスタ、7…アドレスデコーダ、8…メモリモジュール、9…不揮発性メモリ、10…データチェック回路、11…システムバスコマンド・アドレス、12…システムバスデータ、13…メモリバスデータ、14…ブロックレジスタ制御信号、15…物理アドレス、16…メモリエラー信号、17…

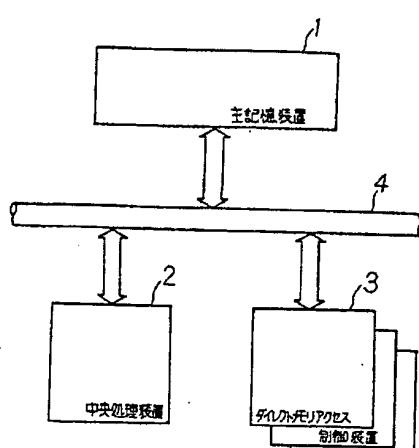
メモリモジュール制御信号, 18…メモリブロック, 19…不揮発性メモリ制御信号, 20…メモリモジュール選択信号, 21…バリッドフラグ, 22…ブロックアドレス。

代理人 (7783) 弁理士 池田憲保

第1図



第2図



第3図

	21	22	8	
メモリブロック a	1	0	0 0 0 0 0	メモリモジュール a
メモリブロック b	1	0	0 0 0 0 1	メモリモジュール b
メモリブロック c	1	0	0 0 1 0 0	メモリモジュール c
メモリブロック d	1	0	0 0 1 1 1	メモリモジュール d
メモリブロック e	1	0	0 1 0 0 0	メモリモジュール e

第4図

	21	22	8	
メモリブロック a	1	0	0 0 0 0 0	メモリモジュール a
メモリブロック b	0	0	0 0 0 0 1	メモリモジュール b
メモリブロック c	1	0	0 0 1 0 0	メモリモジュール c
メモリブロック d	1	0	0 0 1 1 1	メモリモジュール d
メモリブロック e	1	0	0 0 0 0 1	メモリモジュール e